

METHOD FOR LOWERING INDUCTANCE OF SWITCHING CIRCUIT

2

Publication number: JP7203686 (A)

Publication date: 1995-08-04

Inventor(s): SHIBAHARA KENJI

Applicant(s): KYOWA KIDEN KOGYO KK

Classification:

- International: H02M7/48; H03K17/16; H02M7/48; H03K17/16; (IPC1-7): H02M7/48; H03K17/16

- European:

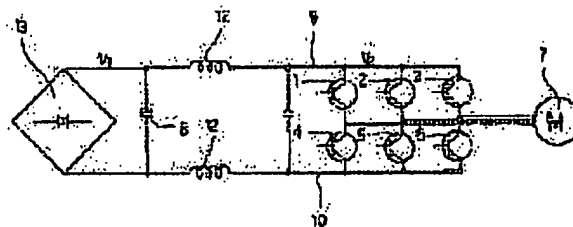
Application number: JP19930351352 19931230

Priority number(s): JP19930351352 19931230

Abstract of JP 7203686 (A)

PURPOSE: To lower the inductance of circuit which causes abrupt increase of voltage when a switching element functions to feed or interrupt the current.

CONSTITUTION: An electrolytic capacitor 8 and three sets of two series connected switching transistors 1, 4, 2, 5, 3 and 6 are connected in parallel with the DC output terminals of a rectifier 13 for AC power supply, wherein the electrolytic capacitor 8 is connected with the switching transistors 1-6 through two sheets of conductors 9, 10 having wide area.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-203686

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl.⁶

識別記号

片内整理番号

P I

技術表示箇所

H 0 2 M 7/48

Z 9181-5H

H 0 3 K 17/16

F 9184-5J

審査請求 未請求 請求項の数 1 F D (全 3 頁)

(21) 出願番号 特願平5-351352

(22) 出願日 平成5年(1993)12月30日

(71) 出願人 593145663

協和機電工業株式会社

長崎県長崎市川口町10番2号

(72) 発明者 梁原 健次

長崎県長崎市川口町10番2号 協和機電工業株式会社内

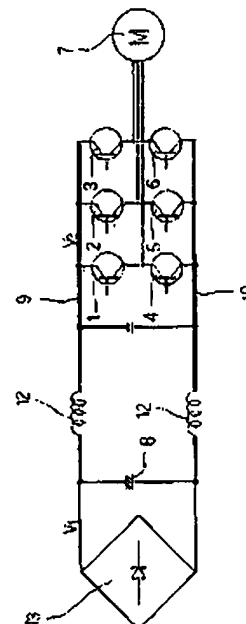
(74) 代理人 弁理士 戸島 省四郎

(54) 【発明の名称】 スイッチング回路の回路インダクタンス低下法

(57) 【要約】

【目的】 スイッチング素子の電流開閉時に生じる電圧の急激な上昇の原因となる回路インダクタンスを低くするスイッチング回路の回路インダクタンスの低下法を提供する。

【構成】 交流電源の整流器13の直流出力端子に、電解コンデンサ8と2個直列のスイッチングトランジスタ組(1, 4), (2, 5), (3, 6)とを並列に接続するとともに、電解コンデンサ8とスイッチングトランジスタ1~6とを二枚の広い面積の導電体9, 10とで接続する。



(2)

特開平7-203686

1

【特許請求の範囲】

【請求項1】 複数のスイッチング素子に直流電圧を並列給電するスイッチング回路において、電流方向を異にする給電路を広い面積の導電板で互に近接させて構成させることで、回路インダクタンスを低下させることを特徴とするスイッチング回路の回路インダクタンス低下法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、モータ等に直流電流を供給するスイッチング電源回路、又はパルス電流を必要とする所で使用されているスイッチング回路におけるインダクタンスの低下方法に関する。

【0002】

【従来の技術】 従来のスイッチング回路の直流電源の供給端とスイッチング素子とは導体単線でもって結線されている。その為、回路インダクタンスがあり、スイッチング素子の開閉によって急激に電流が変化すると小さいインダクタンスでも電圧が急激に変動し、素子を破損させる恐れがあった。例えば3mm直径の10cmの導線でループさせると、大略0.3μH程の回路インダクタンスがあり、スイッチング素子の開閉時の電流変化が300A/1μs～300A/100nsとすれば、スイッチング素子には数百乃至千ボルトに近い電圧が印加されることになる。特に大電流で高速スイッチング素子の場合は大きな問題となっていた。従来には、スイッチング素子としてパワートランジスタが使用されていたが、現在はより高速なICBTが使用され、特に問題となってきた。これを防止すべくスイッチング素子に並列にコンデンサと抵抗を接続させる方法があるが、これでは電力消費が増加し、又コストも高み、実装空間が広くなるという問題点がある。

【0003】

【発明が解決しようとする課題】 本発明は、従来の問題点を解消し、電流の開閉時の電圧の急激な上昇の原因となる回路インダクタンスを低くするスイッチング回路の回路インダクタンスの低下法を提供することにある。

【0004】

【課題を解決するための手段】 かかる課題を解決した本発明の要旨は、複数のスイッチング素子に直流電圧を並列給電するスイッチング回路において、電流方向を異にする給電路を広い面積の導電板で互に近接させて構成させることで、回路インダクタンスを低下させることを特徴とするスイッチング回路の回路インダクタンス低下法にある。

【0005】

【作用】 本発明では、直流供給端とスイッチング素子とを接続する電流方向が逆となる接続路を広い面積の導電板を互に近接させる。このようにすることで、逆方向の電流から生じる磁界が相殺し、インダクタンスが低下

2

する。これによってスイッチング素子の開閉に伴って生じる大きな電流変化に対しても電圧は急激に上昇することがなくなり、スイッチング素子の破損が少なくなる。

【0006】

【実施例】 以下、本発明のモータ駆動用のスイッチング電源回路の実施例を図面に基づいて説明する。図1は実施例の回路図、図2は実施例の要部の実装回路を示す平面図、図3は同実装回路の正面図である。図中、1～6はスイッチングトランジスタ、7はモータ、8は電解コンデンサ、9、10は同電解コンデンサ8とスイッチングトランジスタ1～6とを接続する厚み2mmで20cm×30cmの広い面積を有する銅製の導電体、11は導電体9、10との間の2mm厚みの絶縁体、12は配線によって生じた配線インダクタンスコイル、13は整流器、14はヒートシンク板である。

【0007】 この実施例では交流電源は整流器13によって整流され、電解コンデンサ8とによって平滑にされ、導電体9、10を介してスイッチングトランジスタ1～6へ直流電圧を印加する。同スイッチングトランジスタのベースに制御電圧が印加されてスイッチングトランジスタ1～6が開閉してモータ7へ電流が流されるものである。このとき、電解コンデンサ8とスイッチングトランジスタ1～6とを結ぶ導電体は図2、3に示すように広い面積の導電体9、10で構成している。この導電体9、10の間には絶縁体11が間在するだけで近接しているため互に反対方向の電流が各導電体9、10に流れ、生じる磁界が互に相殺して、弱い磁界しか発生せず、結果として回路インダクタンスが大巾に低減できる。これによって、電流の急激な立上り時に発生する誘導電圧は数百Vのものが50V程度に低下させることができた。

【0008】

【発明の効果】 以上の様に、本発明によれば、電流方向を逆にした結線回路部分を広い面積の導電体を互に近接させて構成することによって、電流による磁界を相殺し、回路インダクタンスを低下させ、スイッチングトランジスタの開閉時の電流の急激な変化によって高圧電圧が発生しないようにできる。

【図面の簡単な説明】

【図1】 本発明の実施例の回路図である。

【図2】 実施例の要部の実装回路を示す平面図である。

【図3】 実施例の要部の同実装回路の正面図である。

【符号の説明】

- 1 スwitchングトランジスタ
- 2 スwitchングトランジスタ
- 3 スwitchングトランジスタ
- 4 スwitchングトランジスタ
- 5 スwitchングトランジスタ
- 6 スwitchングトランジスタ
- 7 モータ

